

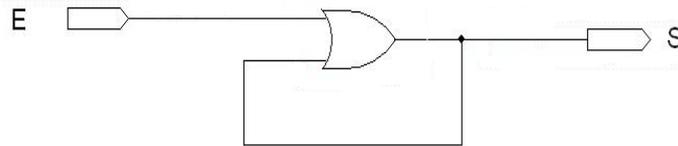
## TEMA 6: BIESTABLES.

### 6.1. Elementos de memoria: biestables y tipos.

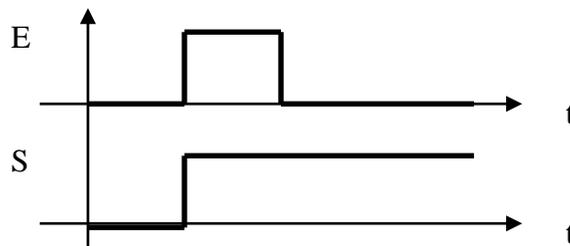
Los circuitos con realimentación no son combinacionales. Constituyen un nuevo tipo, los llamados secuenciales.

La característica principal de un circuito secuencial es que su salida no sólo depende de su entrada, sino de sus entradas anteriores, que quedan recogidas en lo que llamaremos "estado".

Supongamos el siguiente circuito elemental con realimentación.



Las formas de onda en función del tiempo son:



En el caso del biestable, coinciden salida y estado.

Al final, aunque la entrada es  $E=0$ , la salida no es  $S=0$ , como al principio.

La memoria en los computadores que corresponde a la mínima cantidad de información (1 bit) habitualmente tiene lugar en unas células elementales llamadas **biestables**. Un conjunto de biestables podrá almacenar la información correspondiente a una cierta cantidad de bits, es decir, con biestables se pueden almacenar palabras de varios bits.

Este almacenamiento de la información es indefinido mientras exista alimentación para mantenerse. Los biestables son, además de la célula elemental de almacenamiento, los circuitos secuenciales más sencillos.

Los biestables pueden ser:

- Asíncronos. Los cambios se producen en cualquier momento en que cambien las entradas. (RS y JK).
- Síncronos. Los cambios se producen en el momento en que lo ordene un reloj.

A su vez los biestables síncronos pueden ser:

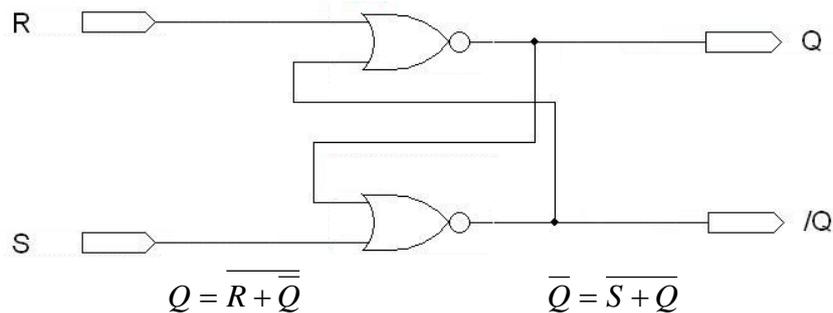
1. Disparados por nivel. Los cambios son efectivos cuando la entrada de disparo del biestable está a un nivel activo, durante todo el tiempo que dura el dicho nivel. (RS, JK y D).
2. Disparados por flanco. Los cambios se producen sólo en los momentos de cambios del reloj (flancos, transiciones). (RS, JK, D y T).
3. Maestro / Esclavo (Master / Slave). (RS, JK, D y T).

**Tipos de biestables y su utilización:**

	<b>RS</b>	<b>JK</b>	<b>D</b>	<b>T</b>
<b>Asíncrono</b>	Uso común	Interés teórico		
<b>Por nivel</b>	Interés teórico	Interés teórico	Uso común	
<b>Por flanco</b>	Interés teórico	Uso común	Uso común	Interés teórico
<b>Maestro Esclavo</b>	Uso común	Uso común	Uso común	Interés teórico

**6.1.1. Biestable RS.**

Este es el núcleo de los biestables:



- 1) Si  $R = 0$  y  $S = 1$ , entonces  $\overline{Q} = \overline{S + Q} = 0$  y  $Q = \overline{0 + 0} = 1$ . Puesta a 1
- 2) Si  $R = 1$  y  $S = 0$ , entonces  $Q = \overline{R + \overline{Q}} = 0$  y  $\overline{Q} = \overline{0 + 0} = 1$ . Puesta a 0
- 3a) Si  $R = 0$ ,  $S = 0$  y  $Q = 0$ , entonces  $Q = \overline{R + \overline{Q}} = 0$ ,  $\overline{Q} = \overline{0 + 0} = 1$
- 3b) Si  $R = 0$ ,  $S = 0$  y  $Q = 1$ , entonces  $Q = \overline{R + \overline{Q}} = 1$ ,  $\overline{Q} = \overline{0 + 1} = 0$

En ambos casos 3a y 3b,  $Q = \overline{R + \overline{Q}} = 0 + \overline{Q} = Q$  y  $\overline{Q} = \overline{S + Q} = 0 + Q = \overline{Q}$ . Mantiene salida o estado.

- 4) Si  $R = 1$  y  $S = 1$ , entonces  $Q = \overline{R + \overline{Q}} = 1 + \overline{Q} = 0$  y  $\overline{Q} = \overline{1 + Q} = 0$ . Contradicción lógica, entrada PROHIBIDA.

Resumiendo

<i>ENTRADAS</i>	Condición inicial		Condición inicial		RESULTADO
	$Q(t) = 0$	$\overline{Q(t)} = 1$	$Q(t) = 1$	$\overline{Q(t)} = 0$	
$R = 0 \quad S = 1$	$Q(t+1) = 1$	$\overline{Q(t+1)} = 0$	$Q(t+1) = 1$	$\overline{Q(t+1)} = 0$	Puesta a 1 SET
$R = 1 \quad S = 0$	$Q(t+1) = 0$	$\overline{Q(t+1)} = 1$	$Q(t+1) = 0$	$\overline{Q(t+1)} = 1$	Puesta a 0 RESET
$R = 0 \quad S = 0$	$Q(t+1) = 0$	$\overline{Q(t+1)} = 1$	$Q(t+1) = 1$	$\overline{Q(t+1)} = 0$	Mantiene estado
$R = 1 \quad S = 1$	$Q(t+1) = 0$	$\overline{Q(t+1)} = 0$	$Q(t+1) = 0$	$\overline{Q(t+1)} = 0$	PROHIBIDO

R es la inicial de la palabra inglesa Reset (puesta a 0) y S es la inicial de la palabra inglesa Set (puesta a 1).

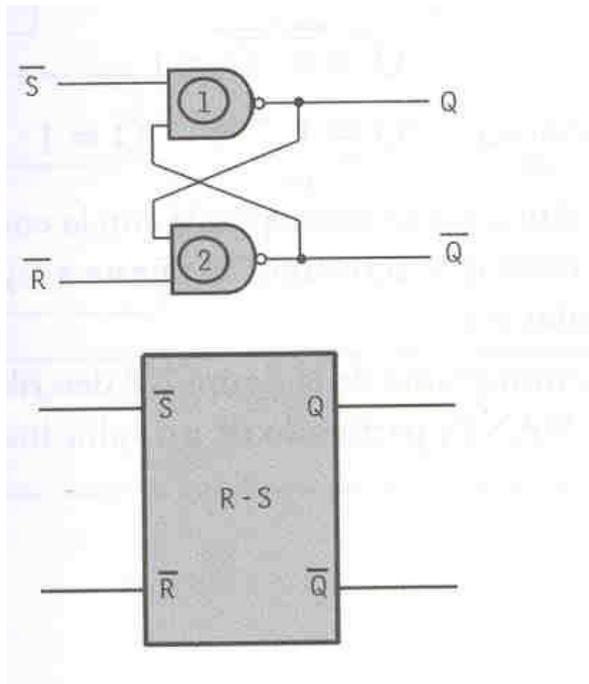
*La entrada RS=11 no está permitida porque puede dar lugar a oscilaciones del biestable, por producirse una contradicción lógica, al intentar tomar la salida y su negada el mismo valor. Esto produce oscilaciones indeseadas (llamadas carreras) o el basculamiento a un estado u otro de forma incontrolada.*

Si ambas puertas son igual de rápidas se produce una oscilación llamada *carrera*. Si la puerta de arriba (en el dibujo) es más rápida, al volver a la entrada  $R=0$   $S=0$ ,  $Q$  fija su valor a 1 y arrastra a  $Q$  negada a 0. Si la puerta de arriba (en el dibujo) es más lenta, al volver a la entrada  $R=0$   $S=0$ ,  $Q$  negada fija su valor a 0 y arrastra a  $Q$  a 1.

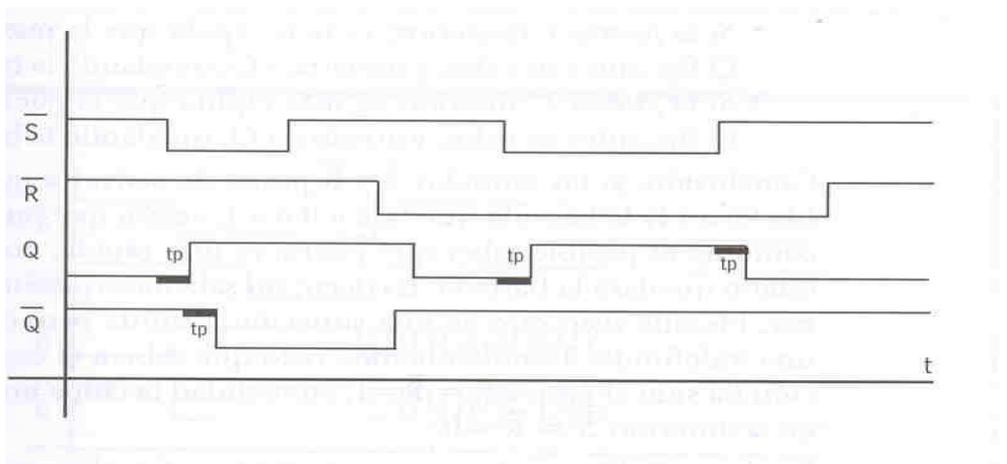
Como no se sabe qué puerta es más rápida, no se sabe en qué estado finalmente quedará.

**Biestable RS asíncrono con entradas activas a nivel bajo**

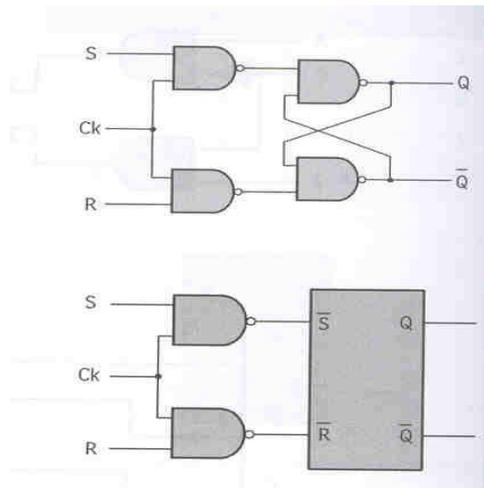
Se podría construir un biestable asíncrono RS con puertas NAND en vez de NOR y en ese caso la entrada prohibida sería  $R=0$  y  $S=0$  y la activación sería a nivel bajo, es decir  $S=0$  y  $R=1$  pondría la salida a 1,  $S=1$  y  $R=0$  pondría la salida a 0, y  $R=1$  y  $S=1$  mantendría la salida o el estado.



Ejemplo de cronograma de biestable RS asíncrono con puertas NAND considerando retardo de las puertas.



**Biestable RS síncrono disparado por nivel**

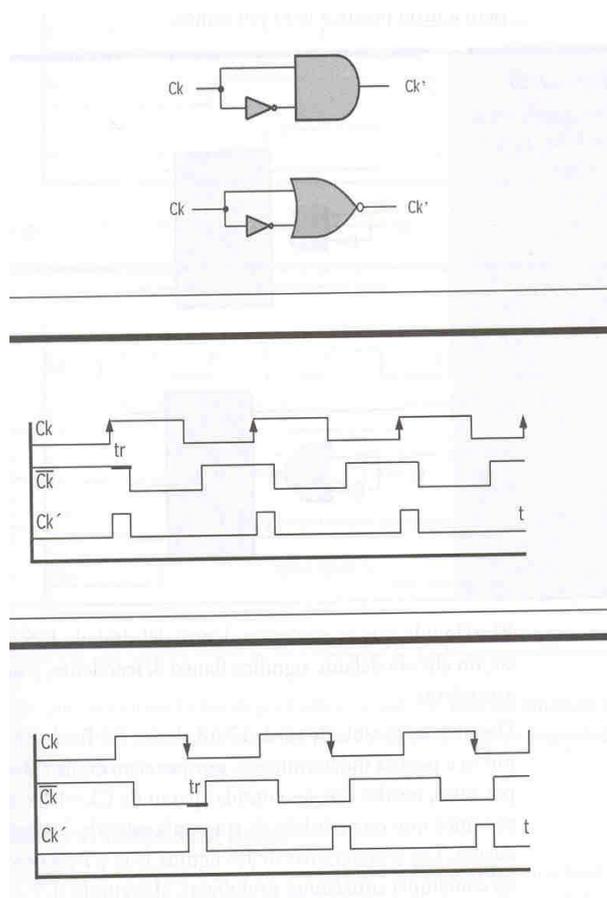


Cuando CK es 0 se mantiene el estado aunque cambien las entradas. Cuando CK es 1 funciona como un asíncrono. El estado se mantendrá o cambiará según los valores de las entradas.

**Biestable RS síncrono por flanco.**

El reloj se convierte de la siguiente forma:

Aprovechando el retardo real de un inversor se genera la señal CK'.



# TECNOLOGÍA DE COMPUTADORES

*Inocente Sánchez Ciudad*

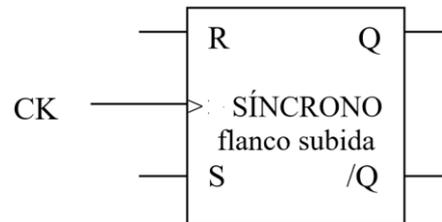
Las funciones lógicas son las mismas tanto si son asíncronos como síncronos, y disparados por flanco o por nivel. Vamos a centrarnos en los disparados por flanco, que son los más interesantes en la práctica.

## Tabla de transición de estados

Entradas		Estado Actual	Salida actual	Estado próximo	Salida próxima
R	S	Q(t)	Q(t)	Q(t+1)	Q(t+1)
0	0	Q0	0	Q0	0
0	0	Q1	1	Q1	1
0	1	Q0	0	Q1	1
0	1	Q1	1	Q1	1
1	0	Q0	0	Q0	0
1	0	Q1	1	Q0	0
1	1	Q0	0	?	?
1	1	Q1	1	?	?

### Estado próximo Q(t+1)

R \ SQ(t)	00	01	11	10
0	0	1	1	1
1	0	0	X	X

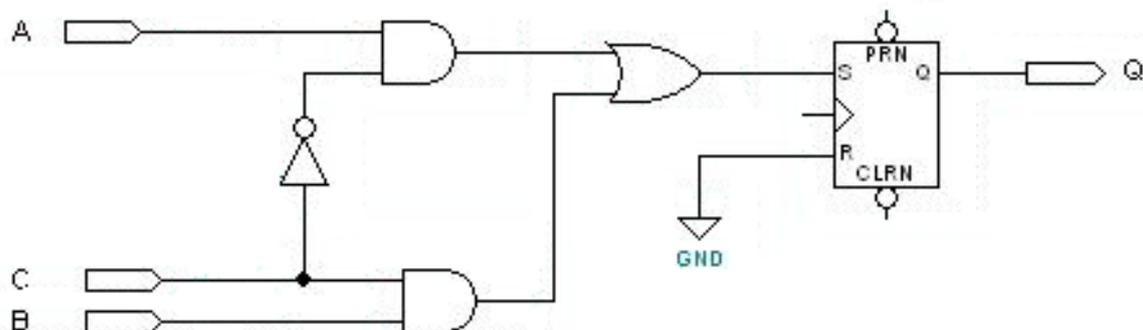


$$Q(t+1) = S + \bar{R}Q(t)$$

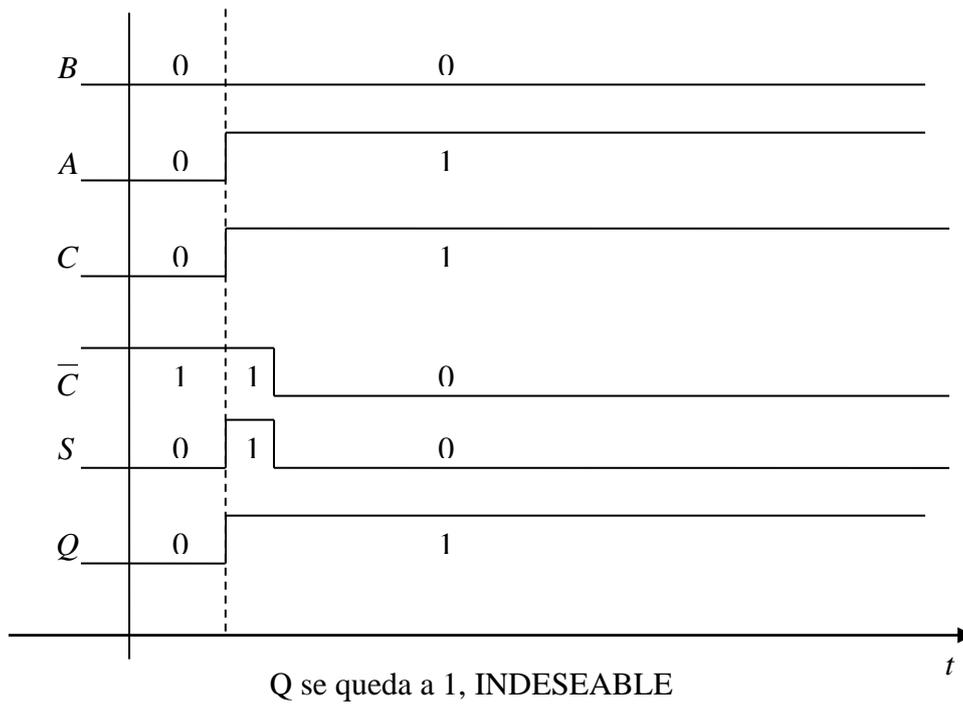
## Tabla de excitación del biestable RS

Estado Actual Q(t)	Estado próximo Q(t+1)	Excitación	
		R	S
0	0	X	0
0	1	0	1
1	0	1	0
1	1	0	X

## Efecto de un glitch



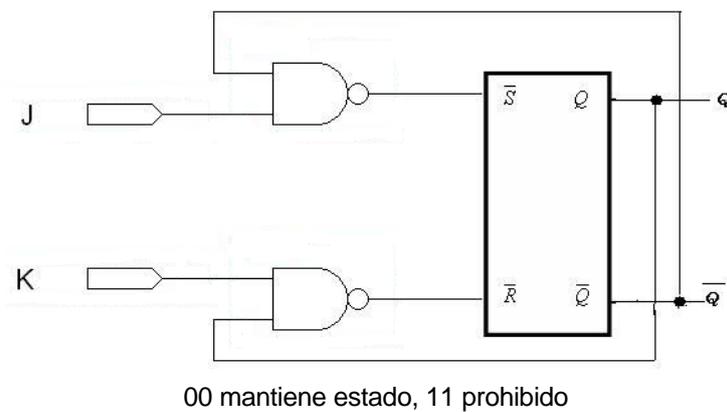
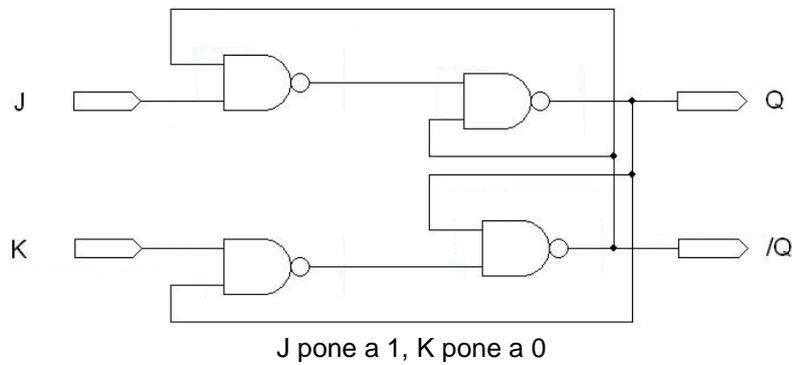
Supongamos que el inversor tiene un retardo de propagación no despreciable.



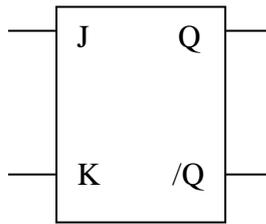
Con  $A=1$ ,  $B=0$  y  $C=1$ ,  $S=0$  y el estado del biestable debería mantener, y no ocurre así. Esto no pasaría si se da tiempo a que se estabilicen las señales.

**6.1.2. Biestable JK**

**Asíncrono.**

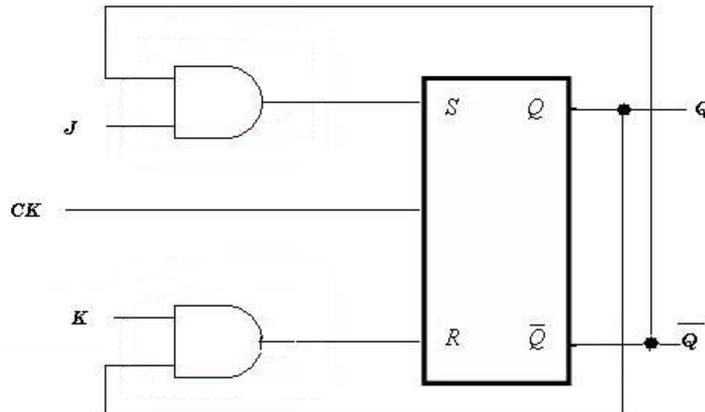


Bi stable JK



**Síncrono por nivel**

J equivale a S  
 K equivale a R



Bi stable JK síncrono por nivel

El problema de las entradas prohibidas no se elimina con el RS ni con el JK síncronos por nivel.

Veamos el ejemplo de cronograma de un bi stable JK síncrono por nivel alto:

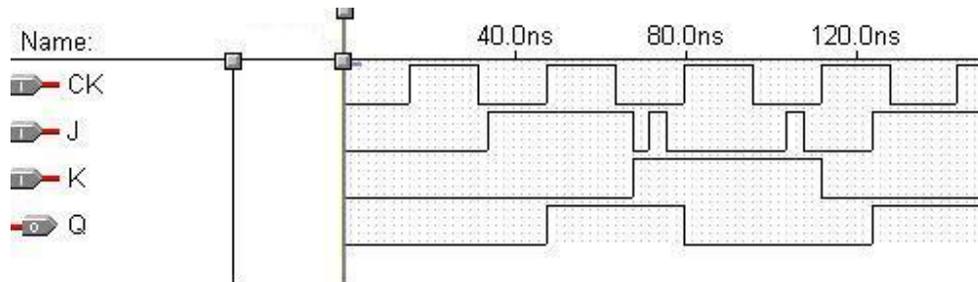


Tabla del bi stable RS síncrono por nivel alto.

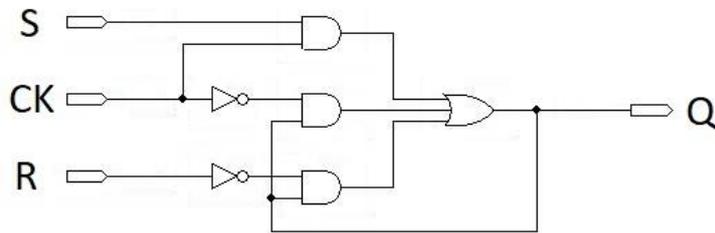
CK	S	R	Q(t)	Q(t+1)
0	X	X	0	0
0	X	X	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	X
1	1	1	1	X

	R	Q				
			00	01	11	10
CK	S		00	01	11	10
			0	1	1	0
			0	1	1	0
			1	1	X	X
			0	1	0	0

Simplificando queda

$$Q(t+1) = Q(t) \cdot \bar{R} + S \cdot CK + \bar{CK} \cdot Q(t)$$

donde resulta el circuito

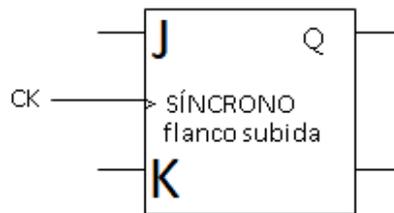


Implementación de un biestable RS síncrono por nivel alto

**Síncrono por flanco**

El problema de la entrada prohibida se elimina con el JK síncrono por flanco, haciendo que el estado cambie.

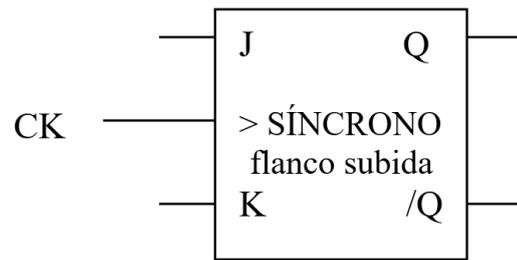
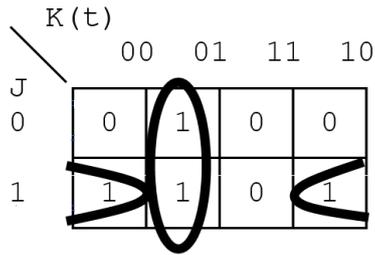
A un biestable síncrono por flancos se les llama también *flip-flop*.



**Tabla de transición de estados**

Entradas		Estado Actual Q(t)	Salida actual Q(t)	Estado próximo Q(t+1)	Salida próxima Q(t+1)
J	K				
0	0	Q0	0	Q0	0
0	0	Q1	1	Q1	1
0	1	Q0	0	Q0	0
0	1	Q1	1	Q0	0
1	0	Q0	0	Q1	1
1	0	Q1	1	Q1	1
1	1	Q0	0	Q1	1
1	1	Q1	1	Q0	0

Estado próximo  $Q(t+1)$



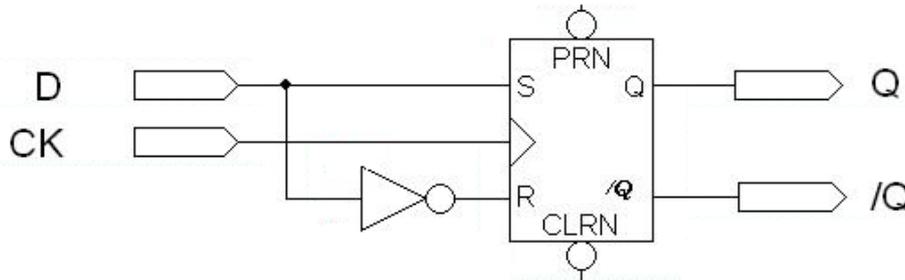
$$Q(t+1) = \overline{Q(t)} \cdot J + Q(t) \cdot \overline{K}$$

Tabla de excitación del biestable JK

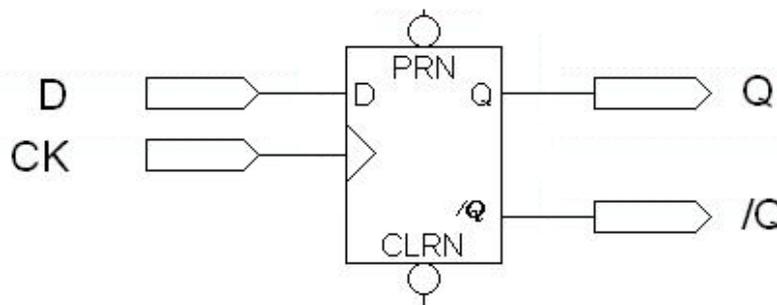
Estado Actual $Q(t)$	Estado próximo $Q(t+1)$	Excitación	
		J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

### 6.1.3. Biestable D

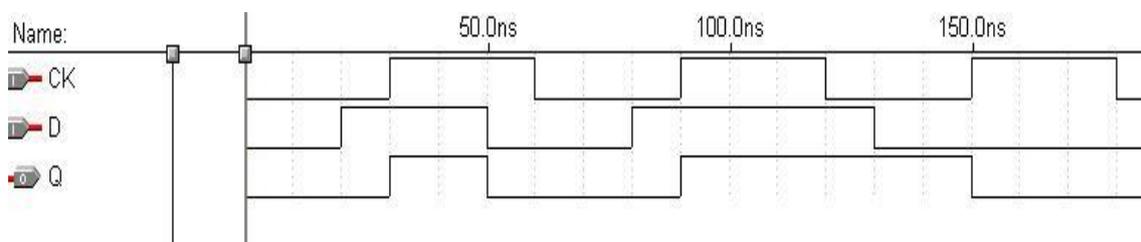
Síncrono por nivel (latch).



equivalente a



Veamos unos cronogramas como ejemplo



Si en lugar de introducir en la señal de sincronismo una señal de reloj CK, metemos una señal cualquier E de Enable, quedaría el cronograma:

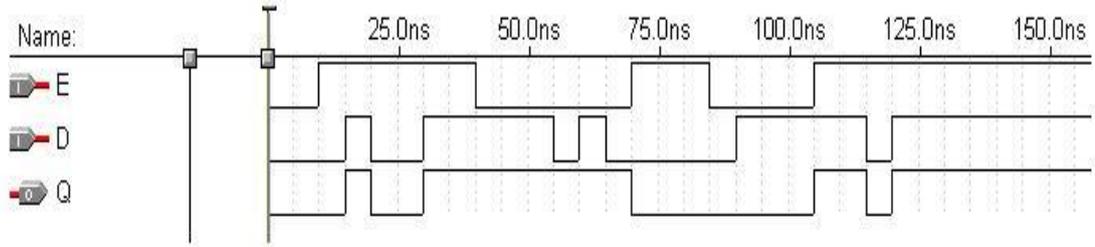
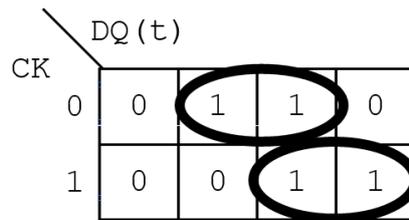


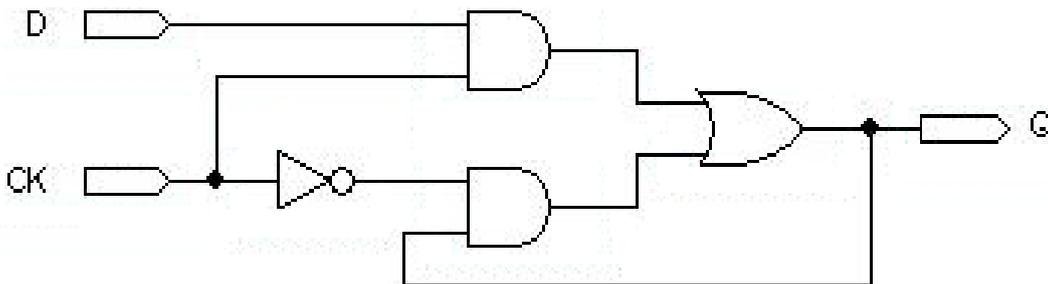
Tabla del biestable D síncrono por nivel alto.

CK	D	Q(t)	Q(t+1)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

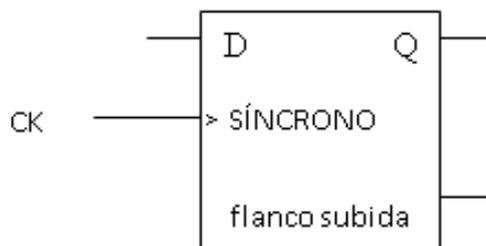


Simplificando queda,  $Q(t+1) = D \cdot CK + Q(t) \cdot \overline{CK}$

El circuito resultante sería



**Síncrono por flanco.**



**Tabla de transición de estados**

Entradas	Estado Actual	Salida actual	Estado próximo	Salida próxima
D	Q(t)	Q(t)	Q(t+1)	Q(t+1)
0	Q0	0	Q0	0
0	Q1	1	Q0	0
1	Q0	0	Q1	1
1	Q1	1	Q1	1

$$Q(t+1) = D$$

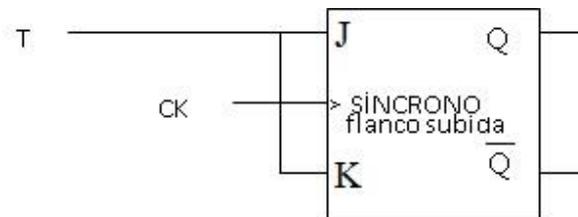
**Tabla de excitación del biestable D**

Estado Actual	Estado próximo	Excitación
		D
Q(t)	Q(t+1)	
0	0	0
0	1	1
1	0	0
1	1	1

$$D = Q(t+1)$$

**6.1.4. Biestable T síncrono por flanco.**

Es un JK con J = K.



**Tabla de transición de estados**

Entradas	Estado Actual	Salida actual	Estado próximo	Salida próxima
T	Q(t)	Q(t)	Q(t+1)	Q(t+1)
0	Q0	0	Q0	0
0	Q1	1	Q1	1
1	Q0	0	Q1	1
1	Q1	1	Q0	0

$$Q(t+1) = T \oplus Q(t)$$

**Tabla de excitación del biestable T**

Estado Actual	Estado próximo	Excitación
		T
Q(t)	Q(t+1)	
0	0	0
0	1	1
1	0	1
1	1	0

$$T = Q(t) \oplus Q(t+1)$$

**6.1.5. Cambio de biestables.**

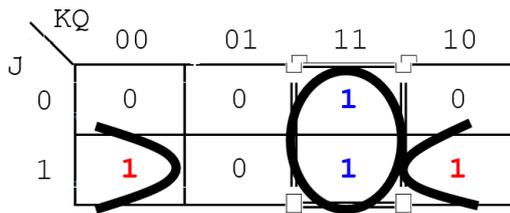
¿Cómo construir un biestable JK a partir de un T?

JK	Q(t)	Q(t+1)	T
00	0	0	0
00	1	1	0
01	0	0	0
01	1	0	1
10	0	1	1
10	1	1	0
11	0	1	1
11	1	0	1

**FORMA DE HACERLO:**

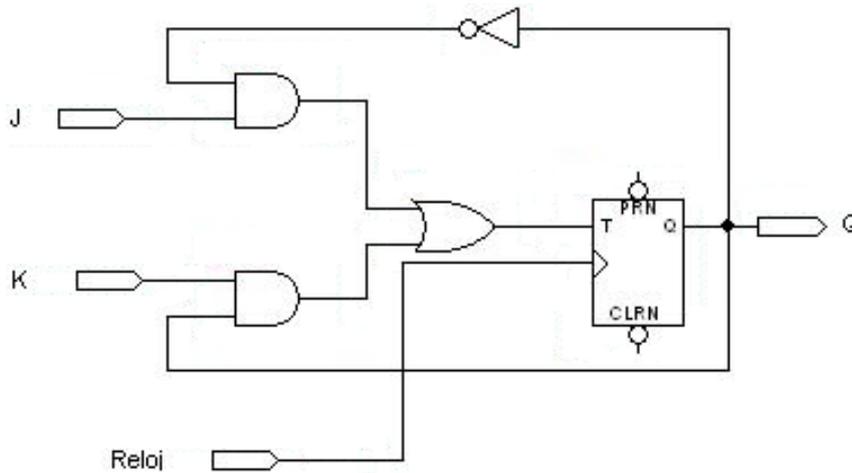
Tabla de transición del biestable destino y tabla de excitación del biestable origen.

Implementar la (s) entrada (s) al biestable origen.



Simplificando se obtiene  $T = K \cdot Q(t) + J \cdot \overline{Q(t)}$

El circuito quedaría de la forma:



**6.2. Consideraciones temporales.**

**6.2.1. Reloj. Disparo.**

Los circuitos secuenciales síncronos distinguen los instantes de tiempo mediante una señal periódica de ceros y unos consecutivos llamada “señal de reloj”. Al tiempo que tarda en repetirse la señal periódica se le llama “**período**” y se mide en unidades de tiempo. A la inversa del período se le llama “**frecuencia**” y se mide en  $sg^{-1}$  o Hz, y representa el número de períodos por segundo.

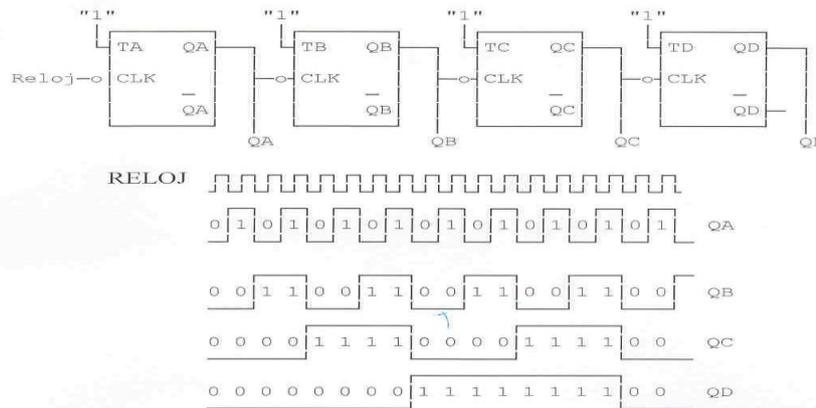
Los instantes de tiempo  $t$  y  $t+1$  son dos ciclos consecutivos del reloj.

Los circuitos síncronos son aquéllos que tienen sincronizados sus cambios y se producen simultáneamente. Para ello se unen entre sí las entradas de sincronismos de los biestables que intervienen.

Las entradas de sincronismo de los biestables o de reloj, también llamadas entradas CK (clock, en inglés) se representan con unos ángulos en la parte izquierda de la figura del biestable cuando son disparados por flanco. Se pone un símbolo "o" a la entrada cuando se disparan en el flanco de bajada y no se pone ningún símbolo cuando se disparen en el flanco de subida.

### Divisor de frecuencia

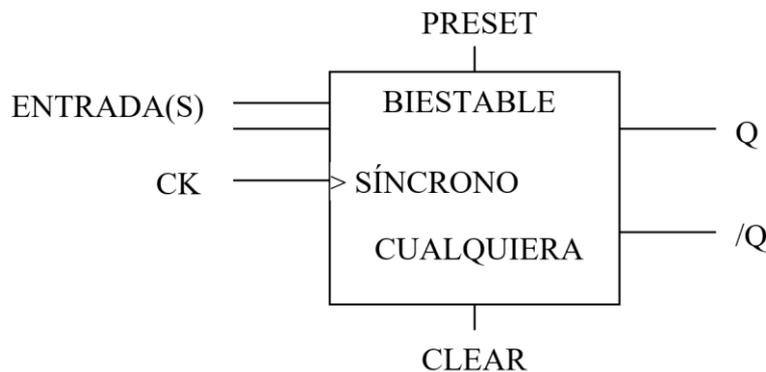
Cuando a un biestable T se le pone la entrada permanentemente a 1 (o a un JK a 11), en cada ciclo de reloj cambia su estado. Se puede ver que por cada biestable que se ponga en cascada, la frecuencia del reloj se divide por 2.



### 6.2.2. Entradas asíncronas.

Además de las entradas síncronas, los biestables tienen otras entradas que actúan con independencia del reloj. Son las llamadas entradas asíncronas, que son:

- PRESET, que pone la salida se pone a 1.
- CLEAR, que pone la salida se pone a 0.



Si no se activa ninguna de ellas, la salida estará determinada por las entradas y los estados. Pueden ser activas a nivel alto o activas a nivel bajo (en ese caso se dibuja un círculo antes de entrar al biestable).

### 6.2.3. Ejemplo de cronograma de un biestable JK síncrono por flanco con entradas asíncronas.

## TECNOLOGÍA DE COMPUTADORES

*Inocente Sánchez Ciudad*

Es una representación gráfica de la evolución temporal de señales binarias colocadas en un mismo eje de tiempos para ver simultáneamente el cambio de varias señales digitales. Ejemplo de cronograma de biestable JK síncrono con flanco de bajada sin retardos:

