

## TEMA 8. REGISTROS Y CONTADORES.

### 8.1. Registros. Tipos de registros. Registros de desplazamiento.

Los registros son circuitos secuenciales capaces de almacenar varios bits de información.

Su representación gráfica es la de la Figura

1	1	1	0	1	0	0	0
---	---	---	---	---	---	---	---

La transferencia de información binaria a un registro puede ser de tipo:

**Serie**, cuando los bits se transfieren uno a continuación de otro por una misma línea.

**Paralelo**, cuando todos los bits se transfieren simultáneamente, utilizando tantas líneas como bits.

#### Registro serie-serie.

Es un registro donde la entrada de bits y la salida de bits tienen lugar en forma serie.

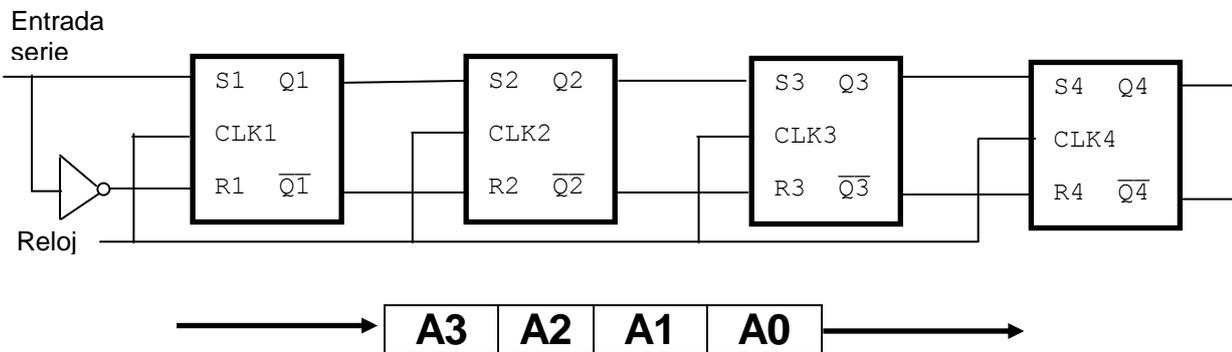
En los sucesivos instantes de tiempo, el aspecto que presentaría el registro, que supondremos de 4 bits por simplicidad, sería el dado por la Figura supuesta la secuencia 1101, entrando primero el bit de la derecha.

1			
0	1		
1	0	1	
1	1	0	1

La salida de los bits tendrá el aspecto dado por la Figura

1	1	0	1
	1	1	0
		1	1
			1

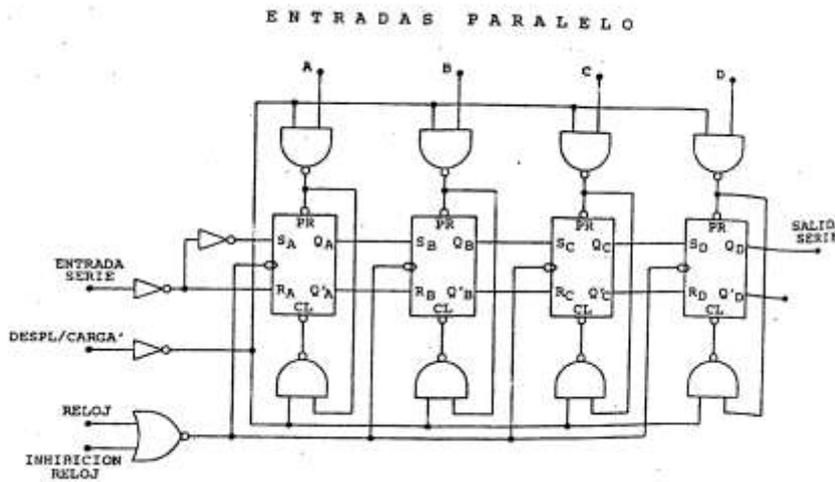
Un registro de este tipo se puede realizar con 4 biestables RS según la Figura:



En cada flanco activo del reloj, se produce un desplazamiento hacia la derecha de 1 bit. Por A0 saldrá la misma secuencia que entró por la Entrada Serie.

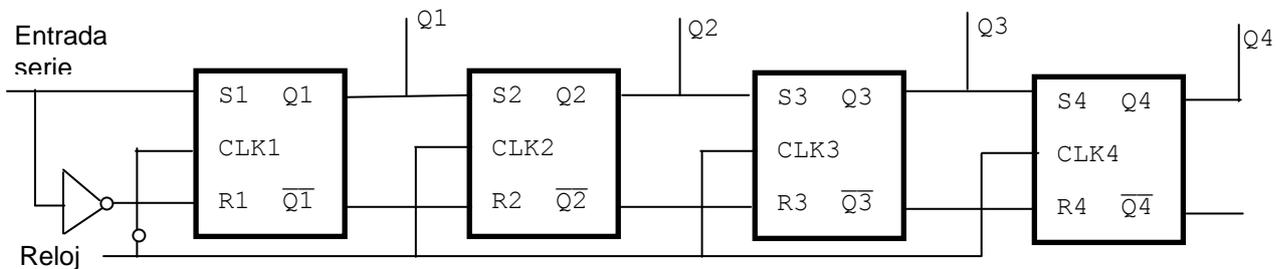
### Registro paralelo-serie.

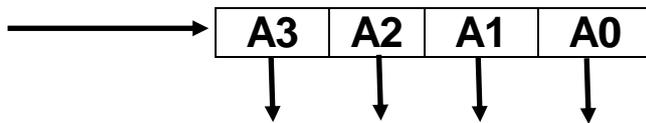
Si DESPL/CARGA = 0, el dato que hay en A, B, C, D pasa a QA, QB, QC, QD, respectivamente. Se produce la transferencia desde fuera hacia dentro del registro, en paralelo. Si A=0, se activa CLEAR del biestable A, y QA se pone a 0. Si A=1, se activa PRESET del biestable A, y QA se pone a 1. Lo mismo sucede con los restantes biestables.



Ahora bien, si DESPLA/CARGA = 1, tanto PRESET como CLEAR están inactivas, puesto que a las salidas de las puertas NAND hay un 1, y PRESET y CLEAR son activas a nivel bajo. El efecto es equivalente a que no existieran las puertas, con lo cual el registro se comporta como el serie-serie, sacando los bits al ritmo del reloj.

### Registro serie-paralelo.



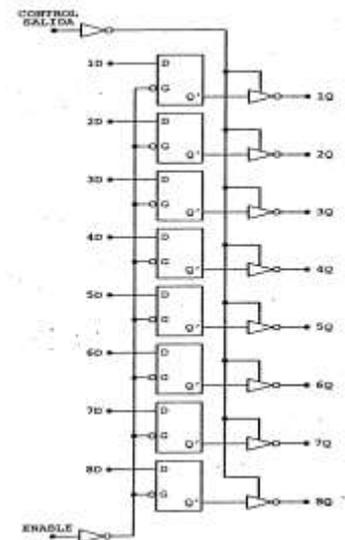


Los datos se introducen como en un registro serie-serie, pero la salida no es única, sino que cada biestable proporciona salida.

### Registro paralelo-paralelo.

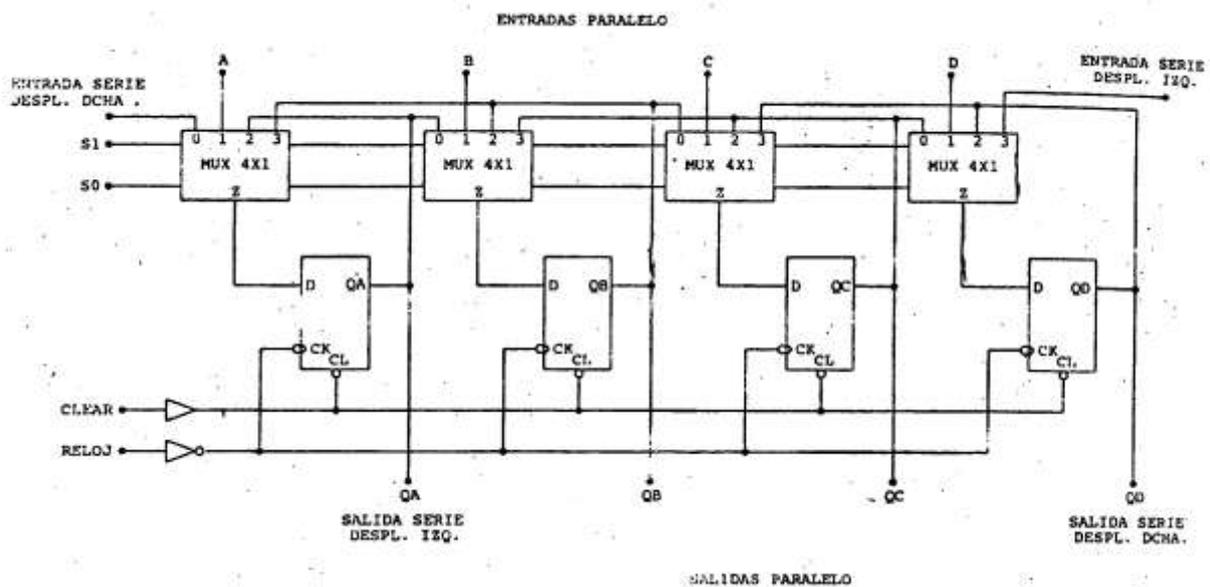
El registro paralelo-paralelo está según la Figura. Mientras Enable (E) y Control de Salida (CS) estén desactivadas, a nivel 0, la situación se mantiene como estuviera antes, pero si  $E=1$ , los datos que en este momento hubiera en las entradas 1D, 2D, 3D, ... 8D, aparecen en las salidas 1Q, 2Q, 3Q, ... 8Q puesto que el biestable D lo único que hace es transferir el dato desde la entrada a la salida. Si  $E=0$ , aunque cambie la entrada, los datos de salida se mantienen.

Si CS se pone a 1, la salida se vuelve de alta impedancia independientemente de E y de los biestables. La alta impedancia es una especie de "tercer estado" que no es ni cero ni uno, sino una situación que eléctricamente es como si no existiera conexión física, no acepta ni entrega corriente.



### Registros universal de desplazamiento.

Es un circuito que se comporta como los anteriores dependiendo de cómo se configure con las líneas de control. En la Figura aparece su esquema. El modelo comercial que corresponde a este circuito es el 74194. El reloj es activo por flanco de subida.



Dependiendo de qué señales se apliquen a S1 y S2 tendremos los siguientes comportamientos:

S1	S0	Funcionamiento
0	0	Desplazamiento a derecha
0	1	Carga paralelo
1	0	No funciona (mantiene est. anterior)
1	1	Desplazamiento a izquierda

Si S1=0 y S2=0, los MUX llevan a la entrada del biestable las salidas de los anteriores biestables o la entrada de datos serie, en el caso del primer biestable. Con cada pulso del reloj se produce un desplazamiento a derecha.

Si S1=0 y S2=1, los MUX llevan a la entrada de los biestables los datos en forma paralelo. Dichos datos están disponibles a la salida en forma paralelo, o en forma serie por QD.

Si S1=1 y S2=0, los MUX llevan a la entrada de los biestables sus propias salidas, con lo que mantienen su estado a pesar de los ciclos de reloj.

Por último, si S1=1 y S2=1, los MUX llevan a las entradas de los biestables las salidas de los biestables siguientes, con lo que se produce un desplazamiento de los datos hacia la izquierda.

### Aplicaciones de los registros.

Se utilizan donde se necesiten un almacenamiento temporal de información, por ejemplo, conectados a las salidas de circuitos combinacionales aritméticos para recoger el resultado de una operación, para almacenar operaciones intermedias o proporcionar información estable a un sistema de representación por displays.

Los distintos registros comparten líneas comunes llamadas buses tanto para recoger la información del bus como para volcar la información al bus, pero no todos los registros a la vez, sino uno y después otro. Mientras un registro vuelca su información al bus, otros registros conectados al mismo bus permanecen en estado de alta impedancia.

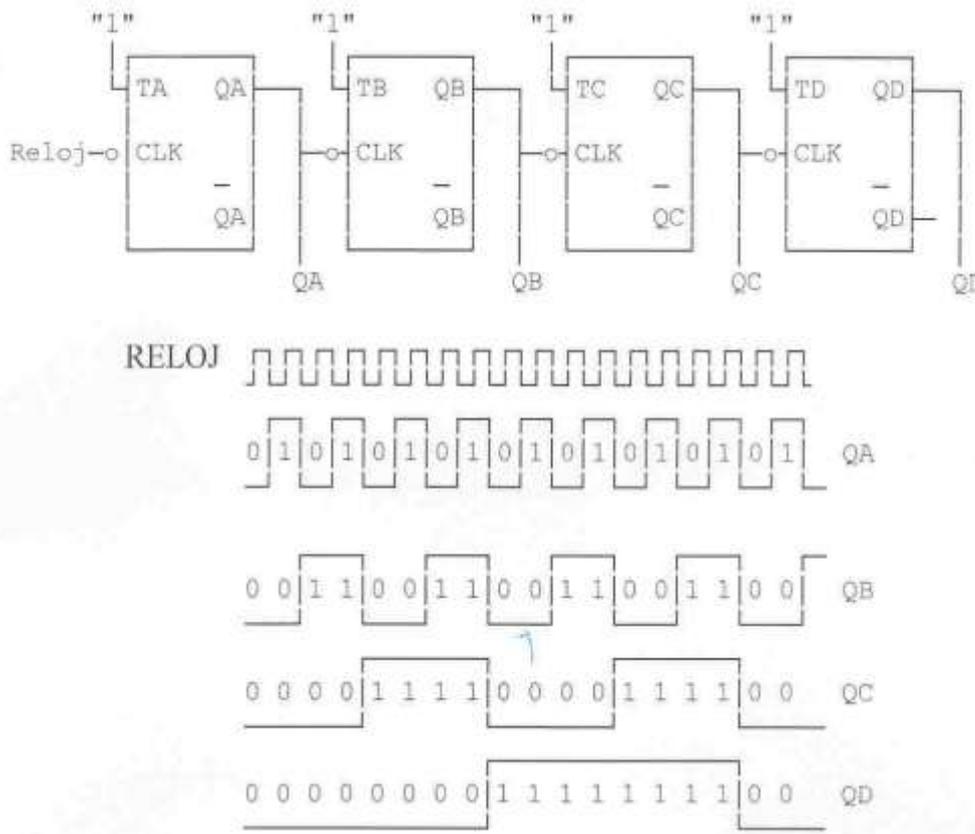
También se suele utilizar para almacenar datos y direcciones en las operaciones de escritura y lectura de las memorias por parte de los microprocesadores.

## 8.2. Contadores asíncronos. Contadores síncronos. Otros contadores.

Los contadores son circuitos secuenciales que tienen unas líneas cuyo valor binario de salida es el resultado del número de veces que recibe un determinado impulso de conteo.

### Contadores asíncronos.

Son aquéllos en que el impulso de conteo no se recibe simultáneamente en las entradas CLK de todos los biestables. En la Figura podemos ver un contador asíncrono. También aparecen los cronogramas de las señales de salida.



En la transición alto-bajo del reloj, el biestable cambia de estado y, por tanto, de salida, ya que sus entradas están a 11. En la salida QA aparece una onda a frecuencia mitad que el reloj de entrada, que es del que se cuentan los pulsos.

Las salidas de los biestables se conectan a la entrada de reloj de los siguientes biestables, con lo que cada uno de ellos divide la frecuencia por 2.

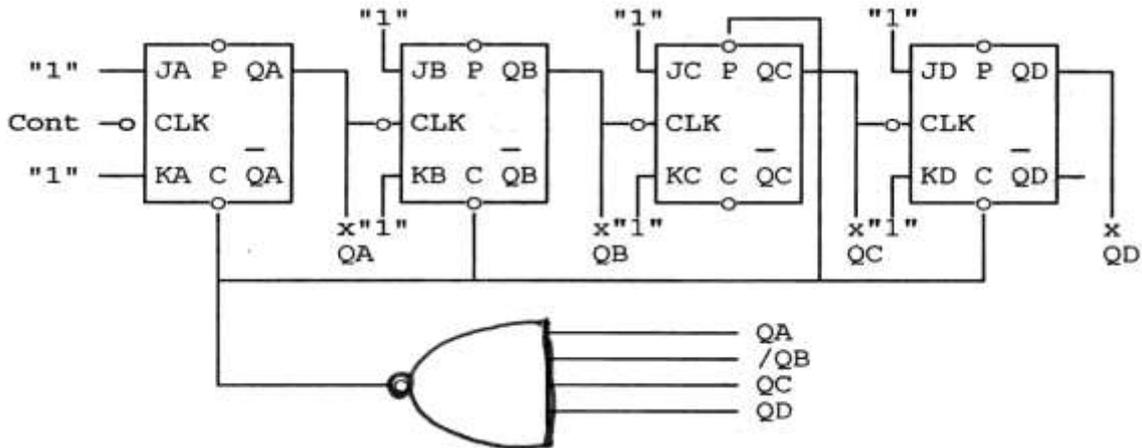
Si QA se considera el bit menos significativo, se puede comprobar que los valores de las cuatro salidas se corresponden con los números binarios de 0000 hasta 1111 repitiéndose periódicamente este proceso. Existe un cierto retardo debido al retardo de los biestables.

Se pueden dar varios casos respecto a cómo son las entradas de reloj y a las conexiones para ver el sentido de cuenta:

- CLK activas flanco de bajada y conexión en Q: ASCENDENTE
- CLK activas flanco de bajada y conexión en /Q: DESCENDENTE
- CLK activas flanco de subida y conexión en Q: DESCENDENTE
- CLK activas flanco de subida y conexión en /Q: ASCENDENTE

Con circuitería externa adicional se puede hacer que el contador vuelva a la posición 0000 antes de llegar a 1111, con lo que con n biestables se puede hacer un contador que cuente desde 0 hasta un número menor o igual que  $2^n - 1$ . Dicha circuitería es una puerta NAND de tantas entradas como biestables conectadas a las salidas afirmadas o negadas de los biestables que convengan. Incluso se puede inicializar en cualquier otro número que no sea 0, usando las entradas asíncronas de PRESET y CLEAR que sean necesarias.

Ejemplo: si un contador asíncrono debe contar en sentido ascendente entre 4 y 12, se deberá poner una puerta NAND para detectar el 13 y forzar a que la situación inicial ponga 4. Para ello, se conecta a la puerta NAND QA, /QB, QC y QD. La puerta dará salida 0 sólo cuando detecte 13 y ese 0 forzará el 4 colocándolo a las entradas asíncronas de CLEAR de QA, QB y QD, y a la entrada de PRESET de QC, suponiendo que son activas a nivel bajo.



### Contadores síncronos.

Los pulsos de reloj (que son los pulsos a contar) activan las entradas CLK de todos los biestables al mismo tiempo (de ahí su nombre). Se elimina el problema del retardo, con lo que se puede trabajar a frecuencias mayores.

Sólo el primer biestable tienen sus entradas a "1". Las restantes entradas son excitadas por productos de las salidas de los propios biestables. Vamos a ver cómo se diseña un contador síncrono a partir del diseño de circuitos secuenciales.

Para ello usamos la técnica habitual de diseño de circuitos secuenciales. Lo vamos a diseñar en sentido creciente, pero también se podría diseñar en sentido decreciente o de cualquier manera que se nos ocurriera.

Estado actual			Estado próximo			Excitación de los biestables					
$Q_2$	$Q_1$	$Q_0$	$Q_2$	$Q_1$	$Q_0$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	0	0	X	1	X	X	1
0	1	0	0	1	1	0	X	X	0	1	X
0	1	1	1	0	0	1	X	X	1	X	1
1	0	0	1	0	1	X	0	0	X	1	X
1	0	1	1	1	0	X	0	1	X	X	1
1	1	0	1	1	1	X	0	X	0	1	X
1	1	1	0	0	0	X	1	X	1	X	1

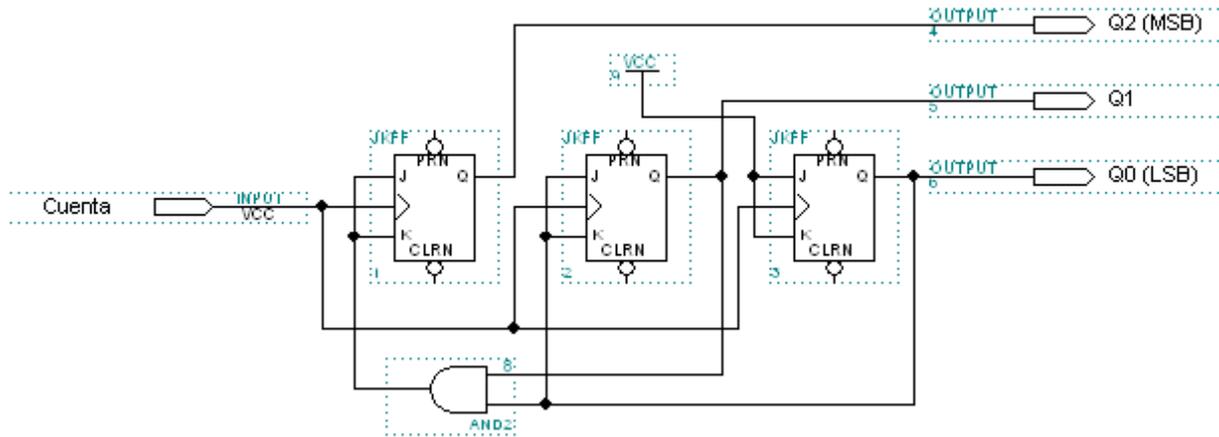
Simplificando  $J_2, K_2, J_1, K_1, J_0, K_0$  con sus mapas de Karnaugh, resulta:

$$J_2 = K_2 = Q_1 \cdot Q_0$$

$$J_1 = K_1 = Q_0$$

$$J_0 = K_0 = 1$$

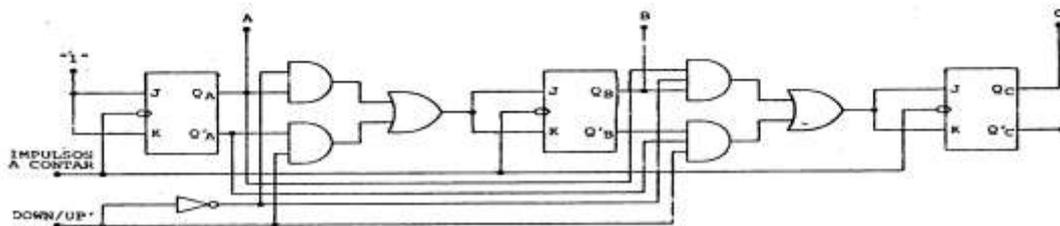
con lo que queda el circuito de la Figura



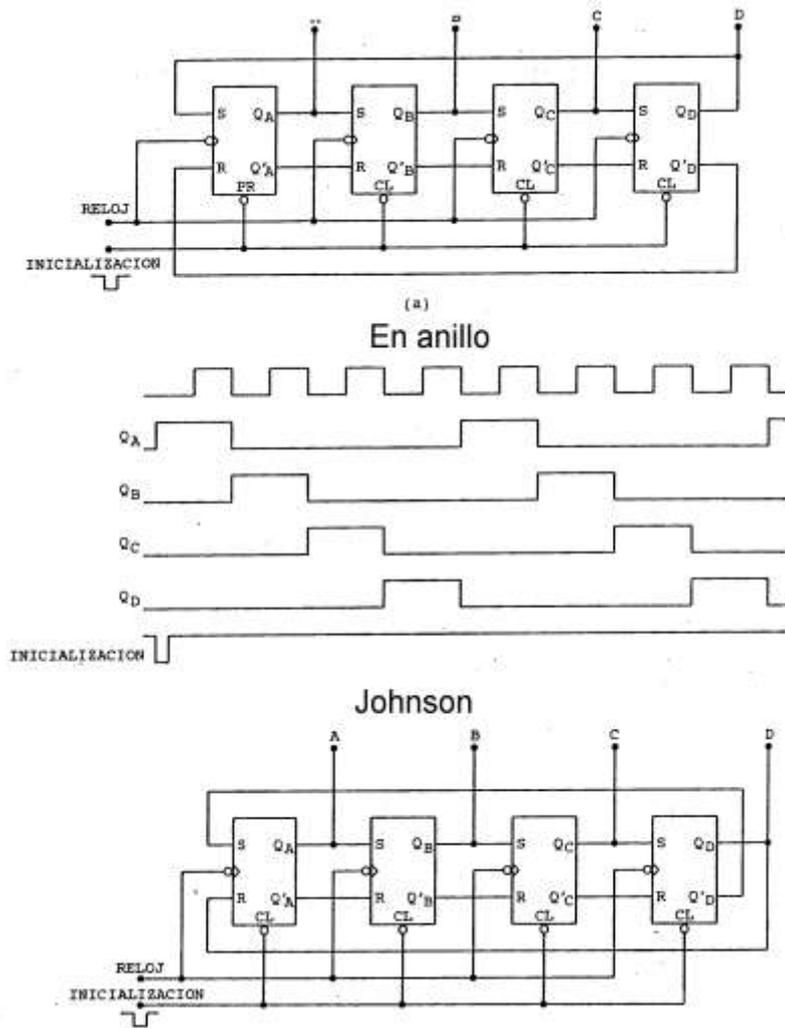
Contador reversible.

ESTADO ACTUAL				PRÓXIMO ESTADO			EXCITACIONES EN LOS BIESTABLES					
UD	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	J <sub>C</sub>	K <sub>C</sub>	J <sub>B</sub>	K <sub>B</sub>	J <sub>A</sub>	K <sub>A</sub>
0	0	0	0	0	0	1	0	x	0	x	1	x
0	0	0	1	0	1	0	0	x	1	x	x	1
0	0	1	0	0	1	1	0	x	x	0	1	x
0	0	1	1	1	0	0	1	x	x	1	x	1
0	1	0	0	1	0	1	x	0	0	x	1	x
0	1	0	1	1	1	0	x	0	1	x	x	1
0	1	1	0	1	1	1	x	0	x	0	1	x
0	1	1	1	0	0	0	x	1	x	1	x	1
1	0	0	0	1	1	1	1	x	1	x	1	x
1	0	0	1	0	0	0	0	x	0	x	x	1
1	0	1	0	0	0	1	0	x	x	1	1	x
1	0	1	1	0	1	0	0	x	x	0	x	1
1	1	0	0	0	1	1	x	1	1	x	1	x
1	1	0	1	1	0	0	x	0	0	x	x	1
1	1	1	0	1	0	1	x	0	x	1	1	x
1	1	1	1	1	1	0	x	0	x	0	x	1

$$\begin{aligned}
 J_A &= K_A = 1 \\
 J_B &= K_B = Q_A UD' + Q_A' UD \\
 J_C &= K_C = Q_A Q_B UD' + Q_A' Q_B' UD
 \end{aligned}$$



Contadores basados en registros de desplazamiento. Contador en anillo. Contador Johnson.

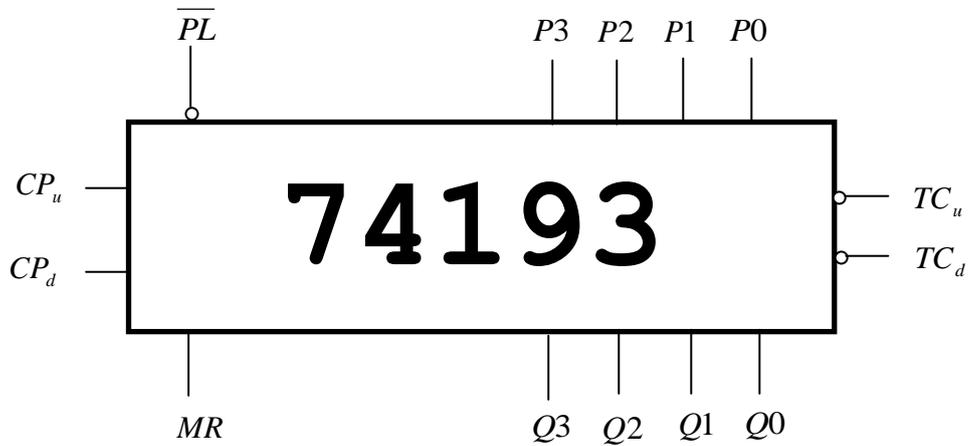


El contador Johnson cuenta en código Johnson, que en el caso de 4 bits sería:

A	B	C	D	RELOJ
0	0	0	0	Inicio
1	0	0	0	Después del 1º impulso
1	1	0	0	Después del 2º impulso
1	1	1	0	Después del 3º impulso
1	1	1	1	Después del 4º impulso
0	1	1	1	Después del 5º impulso
0	0	1	1	Después del 6º impulso
0	0	0	1	Después del 7º impulso
0	0	0	0	Después del 8º impulso

### Contadores integrados.

En la Figura se puede ver un contador integrado síncrono. Las entradas son:



CPu: entrada de reloj ascendente.

CPd: entrada de reloj descendente.

MR: Inicialización a 0 (activa a nivel alto).

/PL: Entrada de carga paralela asíncrona (activa a nivel bajo).

P3 a P0: Entrada de datos en paralelo.

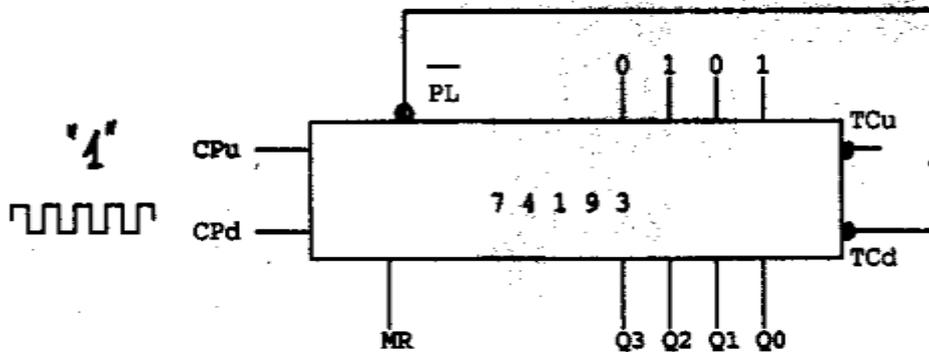
Q3 a Q0: Salida de biestables.

TCu: Salida final de conteo ascendente (activa a nivel bajo).

TCd: Salida final de conteo descendente (activa a nivel bajo).

Su funcionamiento se puede resumir en la siguiente tabla:

MR	PL	CPu	CPd	Modo
1	X	X	X	Reinicio asíncrono
0	0	X	X	Preinicio asíncrono
0	1	1	1	No cambia
0	1	↑	1	Conteo ascendente
0	1	1	↑	Conteo descendente

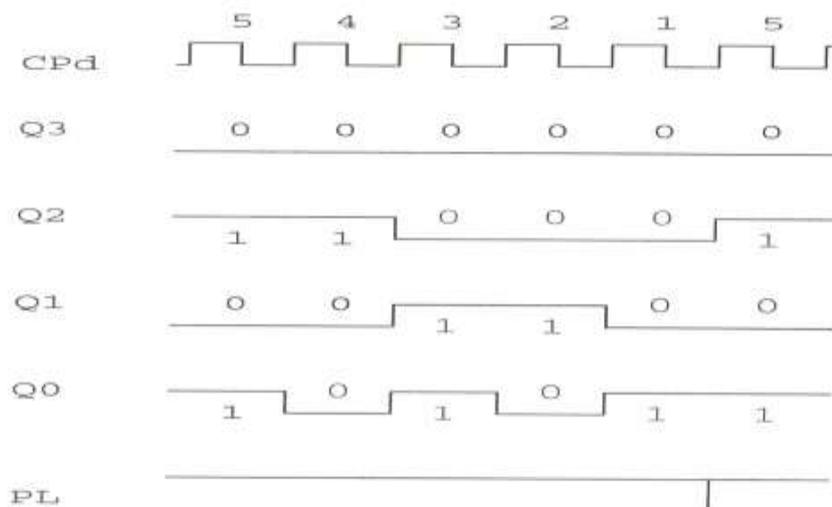


La entrada MR (Master Reset) inicializa la salida a 0000, mientras que la entrada PL los biestables a los valores lógicos que haya en P3, P2, P1 y P0. La salida del contador aparece en Q3, Q2, Q1 y Q0.

Las salidas finales de conteo se utilizan para asociar varios circuitos de este tipo para tener un contador mayor.

Con el circuito 74193 se puede contar cualquier número menor de 16. Por ejemplo, el circuito de la Figura es un contador descendente entre 5 y 0, con lo que divide por 5 la frecuencia de la onda que le entra por CPd.

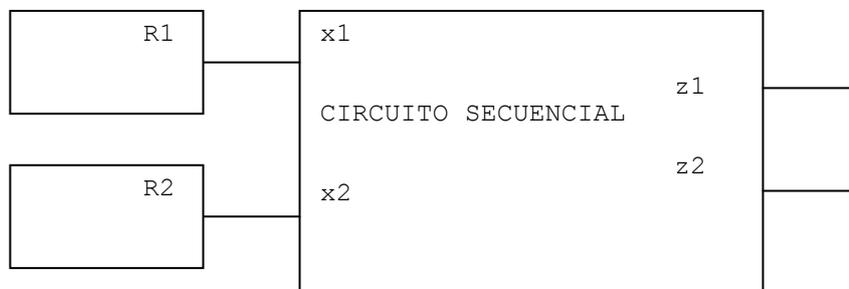
El contador contará hacia abajo partiendo de 5. Cuando llegue a 0, TCd se pondrá a 0, activará PL (que es activa a nivel bajo), y la salida volverá a ser 5. Este ciclo se repite indefinidamente. Si en lugar de 5 quisiéramos otro número, no hay más que variar los valores de las constantes lógicas colocadas en P3, P2, P1 y P0. Con esta idea se puede realizar un divisor de frecuencias variable.



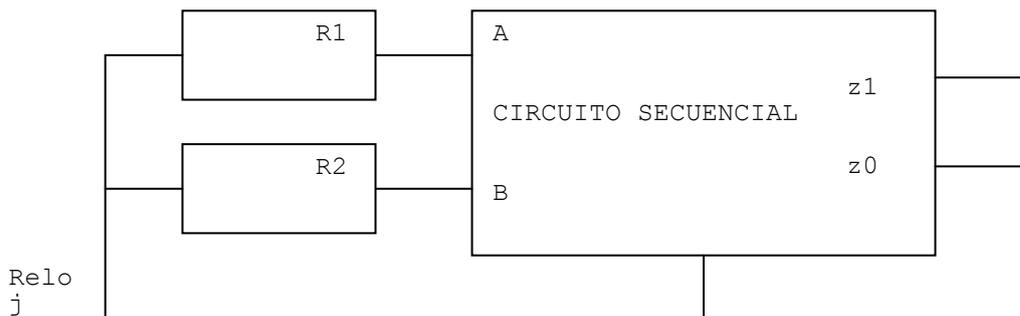
## EJERCICIOS PROPUESTOS.

1) R1 y R2 son dos registros de desplazamiento de 8 bits, en cada uno de los cuales están almacenados dos números binarios N1 y N2 respectivamente. Se trata de diseñar un circuito secuencial síncrono con dos entradas x1 y x2 por las que entran bit a bit en cada ciclo de reloj los números N1 y N2, comenzando por el bit más significativo (MSB), y dos salidas z1 y z2 (por z1 sale el menor de los dos números y por z2 el mayor).

- Definir claramente los estados del sistemas y su codificación (0,5 puntos).
- Encontrar el diagrama de estados y las tablas de transición y excitación usando biestables T. (1 punto).
- Encontrar las ecuaciones de salida z1 y z2 teniendo en cuenta que sólo se dispone de puertas NAND y de excitación de los biestables para implementar con puertas AND e inversores. (NO PONER EL DIAGRAMA LÓGICO, SÓLO LAS EXPRESIONES) (0,5 puntos).



2) Se trata de diseñar un circuito secuencial que admite como entradas dos líneas A y B, procedentes de sendos registros de desplazamientos, de forma sincronizada con un reloj, por las que entran 1 bit por cada línea en cada ciclo de reloj.



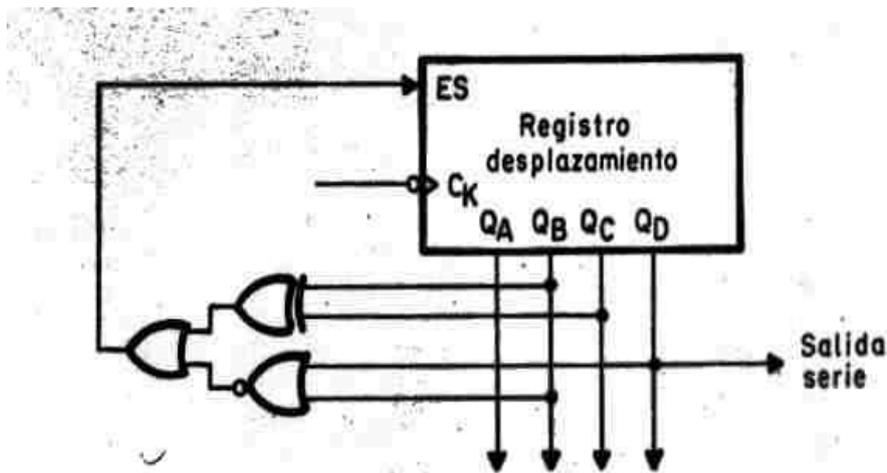
(\*) NOTA: Un bus es un conjunto de líneas cada una de las cuales lleva información de 1 bit.

En cada momento se debe ver en la salida z1 z0, codificado en binario, el número de ceros que faltan por introducir hasta que éste (el número de ceros introducidos) sea un múltiplo de 4. Suponer que z1 es la línea más significativa de la salida y que el estado inicial, es decir, cuando todavía no se ha introducido ningún cero, es el mismo que el estado correspondiente a introducir un número de ceros que sea múltiplo de 4.

Se pide:

- Definición de estados, codificación de entradas, estados y salidas (1,0p).
- Implementación del circuito usando biestables T (0,8p).
- Si se usasen biestables D, ¿qué relación algebraica habría entre la excitación de dichos biestables y las salidas del circuito? (0,2p).

3) Dado el circuito de la figura, determinar la secuencia de salida serie por  $Q_D$  si la situación inicial de los biestables es  $Q_A=1$ ,  $Q_B=1$ ,  $Q_C=1$  y  $Q_D=0$ .



4) Dado el circuito de la figura, determinar el cronograma de las salidas de los dos contadores. Suponer que ambos contadores son activos en el flanco de subida. Inicialmente los dos contadores están a 0.

Cronograma del reloj y la entrada X

